

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-210424

(43)Date of publication of application : 07.08.1998

(51)Int.Cl.

H04N 7/01  
H04N 5/225

(21)Application number : 09-007522

(71)Applicant : SONY CORP

(22)Date of filing : 20.01.1997

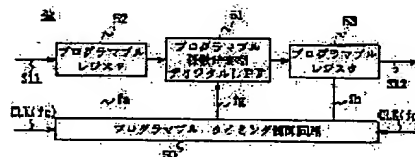
(72)Inventor : NODA SHIGETOSHI

### (54) RATE CONVERSION DEVICE AND IMAGE-PICKUP DEVICE

#### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a conversion device which can convert the video signal into the desired clock frequency and also can control the image quality with high accuracy by controlling the sharpness degree of an image edge set by the video signal, based on a prescribed program that is externally inputted to an FPGA(field programmable gate array).

**SOLUTION:** The digital signal processing part of a digital video camera is integrated with a system controller, etc., to serve as an FPGA. A rate conversion part 42 of the digital signal processing part includes a programmable register 52, a programmable coefficient time change type digital LPF 51 and a programmable register 53, which are arrayed from the input side. The FPGA is connected to an external personal computer. Then the sharpness degree of an image edge set by the video signal is controlled, based on a prescribed program that is inputted to the FPGA from the external personal computer.



### LEGAL STATUS

[Date of request for examination] 19.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-210424

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.<sup>6</sup>

H 0 4 N 7/01  
5/225

識別記号

F I

H 0 4 N 7/01  
5/225

Z  
Z

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号 特願平9-7522

(22) 出願日 平成9年(1997) 1月20日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 納田 重利

東京都品川区北品川6丁目7番35号ソニー  
株式会社内

(74) 代理人 弁理士 田辺 恵基

(54) 【発明の名称】 レート変換装置及び撮像装置

(57) 【要約】

【課題】 本発明は、ビデオ信号を所望のクロック周波数に変換し得ると共に、当該ビデオ信号に基づく画像について精度良く画質を調整し得るレート変換装置及び撮像装置を提案しようとするものである。

【解決手段】 撮像装置内のレート変換手段をフィールドプログラマブルゲートアレイとして構成すると共に、当該フィールドプログラマブルゲートアレイに対して外部から入力される所定のプログラムに基づいて、ビデオ信号に基づく画像のエッジのシャープさの度合いを調整するようにしたことにより、ビデオ信号を所望のクロック周波数に変換し得ると共に、当該ビデオ信号に基づく画像について精度良く画質を調整することができる。

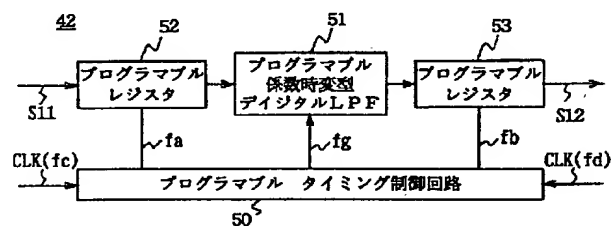


図2 FPGA式レート変換内部基本処理構成

**【特許請求の範囲】**

【請求項1】 デジタル信号のクロック周波数を所定のクロック周波数にレート変換するレート変換装置において、

上記デジタル信号の入力側に第1のレジスタ群が設けられたレジスタ前置型フィルタ及び又は、

上記デジタル信号の出力側に上記第1のレジスタ群と同数なる第2のレジスタ群が設けられたレジスタ後置型フィルタと、

上記デジタル信号を上記レジスタ前置型フィルタ又は上記レジスタ後置型フィルタのうちいずれか一方に入力させる入力手段とを具え、上記レジスタ前置型フィルタ、上記レジスタ後置型フィルタ及び上記入力手段をフィールドプログラマブルゲートアレイとして構成することにより、上記入力手段は外部から入力される所定のプログラムに基づいて、上記レジスタ前置型フィルタ又は上記レジスタ後置型フィルタに上記デジタル信号を入力することを特徴とするレート変換装置。

【請求項2】 上記入力手段は、

上記プログラムに基づいて決定されるタップ数に応じて、上記レジスタ前置型フィルタ又は上記レジスタ後置型フィルタに上記デジタル信号を入力することを特徴とする請求項1に記載のレート変換装置。

【請求項3】 上記レジスタ前置型フィルタ又は上記レジスタ後置型フィルタの各乗算器に割り当てられる係数は、上記デジタル信号のレート変換比と、上記タップ数とに基づいてそれぞれ決定されることを特徴とする請求項2に記載のレート変換装置。

【請求項4】 撮像対象を撮像する撮像手段と、

上記撮像手段による撮像結果に基づくビデオ信号のクロック周波数を所定のクロック周波数にレート変換すると共に、フィールドプログラマブルゲートアレイとして構成されるレート変換手段とを具え、上記レート変換手段は、上記ビデオ信号の入力側に第1のレジスタ群が設けられたレジスタ前置型フィルタと、上記ビデオ信号の出力側に上記第1のレジスタ群と同数なる第2のレジスタ群が設けられたレジスタ後置型フィルタと、上記ビデオ信号を上記レジスタ前置型フィルタ又は上記レジスタ後置型フィルタのうちいずれか一方に入力させる入力手段とを有し、上記入力手段は外部から入力される所定のプログラムに基づいて、上記レジスタ前置型フィルタ又は上記レジスタ後置型フィルタに上記ビデオ信号を入力することを特徴とする撮像装置。

【請求項5】 上記入力手段は、

上記プログラムに基づいて決定されるタップ数に応じて、上記レジスタ前置型フィルタ又は上記レジスタ後置型フィルタに上記ビデオ信号を入力することを特徴とする請求項4に記載の撮像装置。

【請求項6】 上記レジスタ前置型フィルタ又は上記レジスタ後置型フィルタの各乗算器に割り当てられる係数

は、上記デジタル信号のレート変換比と、上記タップ数とに基づいてそれぞれ決定されることを特徴とする請求項5に記載の撮像装置。

**【発明の詳細な説明】**

【0001】

【目次】以下の順序で本発明を説明する。

【0002】 発明の属する技術分野

従来の技術（図5～図11）

発明が解決しようとする課題（図12）

課題を解決するための手段

発明の実施の形態（図1～図4）

発明の効果

【0003】

【発明の属する技術分野】本発明はレート変換装置及び撮像装置に関し、例えば撮像素子から得られる画像に基づくビデオ信号のクロック周波数を変換するレート変換装置及び撮像装置に適用して好適なものである。

【0004】

【従来の技術】従来、この種の撮像装置として、例えば図5に示すようなデジタルビデオカメラ1が提案されている。このデジタルビデオカメラ1においては、被写体の撮像結果をビデオ信号に変換した後、当該ビデオ信号のクロック周波数を変換することによって所定の信号フォーマットに設定変換するようになされている。

【0005】このようなビデオ信号は種々のカラーテレビジョン方式によって規格化されており、当該カラーテレビジョン方式としては、NTSC（National Television System Committee）方式、PAL（Phase Alternating by Line）方式、HDTV（High Definition Television）方式及びATV（Advanced Television）方式等がある。さらに近年のマルチメディアの普及に伴って種々の多様化したコンピュータビデオ信号フォーマットが提案されている。

【0006】このデジタルビデオカメラ1は、被写体から得られる撮像光LAをレンズブロック部2を介して例えばCCD（charge coupled device）が内蔵されたイメージャ3に受けて被写体映像を含む視野映像に対応する撮像出力信号S1に光電変換した後、当該撮像出力信号S1をアナログ信号処理部4に与える。

【0007】アナログ信号処理部4では、入力された撮像出力信号S1はCDS（相関二重サンプリング）部5を介してデータ部分が抽出された後、AGC（自動利得制御）部6を介して信号レベルが一定に保たれ、さらにニー及びブレ補正部7を介してダイナミックレンジの圧縮及びγ特性の補正が行われた後、ローパスフィルタ（LPF）8に供給される。

【0008】このローパスフィルタ8では、入力された信号は、後段のA/Dコンバータ9におけるサンプリング周波数の折り返し歪の発生が防止され、さらに当該A/Dコンバータ9を介してデジタル変換された後、撮

像出力信号S2としてデジタル信号処理部10に供給される。

【0009】またデジタルビデオカメラ1内にはシステムコントローラ11が設けられ、当該システムコントローラ11には、外部接続されたコンピュータ装置（図示せず）からオペレータの操作等に基づくリモート制御信号S3が与えられるようになされている。これによりシステムコントローラ11は、アイリスフォーカス駆動部12に光制御信号S4を送出すると共に、デジタル信号処理部10に制御信号S5を送出する。

【0010】この結果、アイリスフォーカス駆動部12は、光制御信号S4に基づいてレンズブロック部2のレンズ2A及びアイリス2Bを制御することによって、イメージャ3内のCCD撮像素子面に対する像の焦点を合わせると共に、当該CCD撮像素子面に照射される光量を調整する。

【0011】またデジタルビデオカメラ1にはTG（タイミングジェネレータ）部13が設けられ、外部から送出される外部同期信号S6に基づいて、イメージャ3及びデジタル信号処理部10にそれぞれ同期信号S7及びS8を送出して、当該イメージャ3及びデジタル信号処理部10の動作タイミングを同期させるようになされている。

【0012】ここでデジタル信号処理部10にはカメラ信号補正処理部14が設けられ、当該カメラ信号補正処理部14に入力された撮像出力信号S2は、システムコントローラ11から得られる制御信号S5に基づいて、 $\gamma$ 補正（CCDに対する光入力とディスプレイに対する光出力との比例関係の調整）、ホワイトバランスの調整、シェーディング補正（レンズの明るさを一定に調整）及び画素欠陥補正（CCDにおける欠陥のある画素を隣接する画素で補間）等の種々の信号補正処理が行われた後、ビデオコンバータ15に送出される。なおカメラ信号補正処理部14内には $\gamma$ 補正用のメモリ14Aが設けられている。

【0013】続いてビデオコンバータ15は、種々の補正処理された信号をエンコードした後、これをデジタルビデオ信号S10としてデジタルインタフェース16を介して外部出力すると共に、当該デジタルビデオ信号S10をD/Aコンバータ17を介してアナログ変換した後、ローパスフィルタ（LPF）18を介して帯域制限されたアナログビデオ信号S11を外部出力する。

【0014】この場合、デジタル信号処理部10においては、多様化した信号フォーマットに対応すべく、レート変換部19が設けられ、当該レート変換部19を用いてデジタルビデオ信号S10及びアナログビデオ信号S11のクロック周波数を変換し得るようになされている。

【0015】一般的に、2つの異なるクロック周波数で

動作するデジタル回路間でデータを受け渡すには、データをレート変換するレート変換部を必要とする。例えば、18 [MHz] のクロック周波数で動作するCCD撮像素子を有するイメージャ3のデジタル映像信号処理回路と、13.5 [MHz] のクロック周波数で動作するD1規格に準拠したデジタルビデオテープレコーダ（D・VTR）のデジタル映像信号処理回路との間でデータを受け渡すには、イメージャから出力される撮像出力信号S1のクロック周波数を18 [MHz] から13.5 [MHz] に変換する4：3ダウンレート変換部や、D・VTRから出力されるデジタル映像信号のレートを13.5 [MHz] から18 [MHz] に変換する3：4アップレート変換部などのレート変換部が必要となる。

【0016】通常、CCD撮像素子を用いたイメージャは、CCD撮像素子の画素数により決定されるクロック周波数を有し、例えば50万画素のCCD撮像素子を用いたイメージャでは、デジタル映像信号処理回路が18 [MHz] のクロック周波数で動作するようになされている。

【0017】一般的なレート変換部は、入力データを入力クロック周波数と出力クロック周波数との最小公倍数のクロック周波数にアップコンバートして、フィルタをかけて間引くことにより、目的の出力クロック周波数の出力データを得るものであり、最小公倍数のクロック周波数でのフィルタリング処理を行うようになされている。

【0018】例えば4：3ダウンレート変換部では、図6（A）～図7（E）に示すようなフィルタリング処理によって、18 [MHz] のクロック周波数の入力データを13.5 [MHz] のクロック周波数の出力データに変換する。

【0019】すなわち4：3ダウンレート変換部では、まず図6（A）に示すような18 [MHz] のクロック周波数の入力データ $[X_m]$ に対して、図6（B）に示すように13.5 [MHz] のサンプルポイントとなり得る箇所に0データを挿入して、18 [MHz] と13.5 [MHz] との最小公倍数となる54 [MHz] のクロック周波数にアップコンバートする。これにより周波数領域について、図7

（A）に示すように18 [MHz] を単位として繰り返していた周波数成分が、図7（B）に示すように周波数特性はそのまま繰り返しの単位が54 [MHz] になる。

【0020】次に54 [MHz] のクロック周波数のデータに図6（C）及び図7（C）に示すような特性のフィルタをかける。すなわち、出力クロック周波数は13.5 [MHz] であり、サンプリング定理により54 [MHz] の半分の27 [MHz] までの間に13.5 [MHz] の半分の6.75 [MHz] 以上の周波数成分があると13.5 [MHz] のクロック周波数にしたときに折り返してしまい、元の周波数特性を維持し得なくなるため、6.75 [MHz] 以上の周波数成分を抑圧するローパスフィルタをかける。

【0021】ここで、6.75 [MHz] 以上の周波数成分を  
抑圧した54 [MHz] のクロック周波数のデータ  $\{Y_i\}$   
は、入力データ  $X_m = z^m \cdot X_1$  に対して、54 [MHz]  
で動作するトランスバーサルフィルタを用いて、例えば

$$F_1(z) = \sum_{i=0}^{11} k_i \cdot z^{-i}$$

【0023】で表される伝達関数  $F_1(z)$  のフィルタ  
リング処理を施すことにより、次式

$$Y_1 = k_2 \cdot X_4 + k_5 \cdot X_3 + k_8 \cdot X_2 + k_{11} \cdot X_1$$

$$Y_2 = k_0 \cdot X_5 + k_3 \cdot X_4 + k_6 \cdot X_3 + k_9 \cdot X_2$$

$$Y_3 = k_1 \cdot X_5 + k_4 \cdot X_4 + k_7 \cdot X_3 + k_{10} \cdot X_2$$

$$Y_4 = k_2 \cdot X_5 + k_5 \cdot X_4 + k_8 \cdot X_3 + k_{11} \cdot X_2$$

$$Y_5 = k_0 \cdot X_6 + k_3 \cdot X_5 + k_6 \cdot X_4 + k_9 \cdot X_3$$

$$Y_6 = k_1 \cdot X_6 + k_4 \cdot X_5 + k_7 \cdot X_4 + k_{10} \cdot X_3$$

$$Y_7 = k_2 \cdot X_6 + k_5 \cdot X_5 + k_8 \cdot X_4 + k_{11} \cdot X_3$$

$$Y_8 = k_0 \cdot X_7 + k_3 \cdot X_6 + k_6 \cdot X_5 + k_9 \cdot X_4$$

$$Y_9 = k_1 \cdot X_7 + k_4 \cdot X_6 + k_7 \cdot X_5 + k_{10} \cdot X_4$$

$$Y_{10} = k_2 \cdot X_7 + k_5 \cdot X_6 + k_8 \cdot X_5 + k_{11} \cdot X_4$$

$$Y_{11} = k_0 \cdot X_8 + k_3 \cdot X_7 + k_6 \cdot X_6 + k_9 \cdot X_5$$

$$Y_{12} = k_1 \cdot X_8 + k_4 \cdot X_7 + k_7 \cdot X_6 + k_{10} \cdot X_5$$

$$Y_{13} = k_2 \cdot X_8 + k_5 \cdot X_7 + k_8 \cdot X_6 + k_{11} \cdot X_5$$

$$Y_{14} = k_0 \cdot X_9 + k_3 \cdot X_8 + k_6 \cdot X_7 + k_9 \cdot X_6 \quad \dots\dots (2)$$

【0025】となるデータ  $Y_1 \sim Y_{14}$  として得ることが  
できる。

【0026】続いてこのように得られた図6 (D) 及び  
図6 (D) に示すような54 [MHz] のクロック周波数の  
データ  $\{Y_i\}$  から、図6 (E) に示すように13.5 [MHz]  
のクロック周波数で  $i = 3n + 1$  又は  $i = 3n + 2$   
の3個置き of データを取り出すことにより、図7 (E)  
に示すように入力データ  $\{X_m\}$  の周波数特性を最大限  
に維持した13.5 [MHz] のクロック周波数の出力データ  
 $\{Y_n\}$  を得ることができる。

【0027】また3:4アツプコンバータでは、図8 及  
び図9に示すようなフィルタリング処理によつて、13.5  
[MHz] のクロック周波数の入力データ  $\{X_n\}$  を18  
[MHz] のクロック周波数の出力データ  $\{Y_m\}$  に  
変換する。すなわち3:4アツプレート変換部において  
も、図8 (A) に示すような13.5 [MHz] のクロック周  
波数の入力データ  $\{X_n\}$  に対して、図8 (B) に示す  
ように、18 [MHz] のサンプルポイントとなり得る箇所  
に0データを挿入して、13.5 [MHz] と18 [MHz] との  
最小公倍数の54 [MHz] のクロック周波数にアツプコン

タツプ数を12とする次式

【0022】

【数1】

..... (1)

【0024】

【数2】

パートする。

【0028】これにより周波数領域について、図9

(A) に示すように13.5 [MHz] を単位として繰り返して  
いた周波数成分が、図9 (B) に示すように周波数特  
性はそのまま繰り返しの単位が54 [MHz] になる。

【0029】次に、54 [MHz] のクロック周波数のデー  
タに図8 (C) 及び図9 (C) に示すような特性のフィル  
タをかける。すなわち出力クロック周波数は18 [MHz]  
であり、サンプリング定理により54 [MHz] の半分  
の27 [MHz] までの間に18 [MHz] の半分の9 [MHz]  
以上の周波数成分があると18 [MHz] のクロック周波数  
にしたときに折り返してしまい、元の周波数特性の維持  
ができなくなるため、9 [MHz] 以上の周波数成分を抑  
圧するローパスフィルタをかける。

【0030】ここで、9 [MHz] 以上の周波数成分を抑  
圧した54 [MHz] のクロック周波数のデータ  $\{Y_i\}$   
は、入力データ  $X_n = z^n \cdot X_1$  に対して、54 [MHz]  
で動作するトランスバーサルフィルタで例えばタツプ数  
を12とすると、次式

【0031】

【数3】

$$F_2(z) = \sum_{i=0}^{11} k_i \cdot z^{-i} \quad \dots\dots (3)$$

【0032】で表される伝達関数 $F_2(z)$ のフィルタ  
リング処理を施すことにより、次式

【0033】

【数4】

$$Y_1 = k_3 \cdot X_3 + k_7 \cdot X_2 + k_{11} \cdot X_1$$

$$Y_2 = k_0 \cdot X_4 + k_4 \cdot X_3 + k_8 \cdot X_2$$

$$Y_3 = k_1 \cdot X_4 + k_5 \cdot X_3 + k_9 \cdot X_2$$

$$Y_4 = k_2 \cdot X_4 + k_6 \cdot X_3 + k_{10} \cdot X_2$$

$$Y_5 = k_3 \cdot X_4 + k_7 \cdot X_3 + k_{11} \cdot X_2$$

$$Y_6 = k_0 \cdot X_5 + k_4 \cdot X_4 + k_8 \cdot X_3$$

$$Y_7 = k_1 \cdot X_5 + k_5 \cdot X_4 + k_9 \cdot X_3$$

$$Y_8 = k_2 \cdot X_5 + k_6 \cdot X_4 + k_{10} \cdot X_3$$

$$Y_9 = k_3 \cdot X_5 + k_7 \cdot X_4 + k_{11} \cdot X_3$$

$$Y_{10} = k_0 \cdot X_6 + k_4 \cdot X_5 + k_8 \cdot X_4$$

$$Y_{11} = k_1 \cdot X_6 + k_5 \cdot X_5 + k_9 \cdot X_4$$

$$Y_{12} = k_2 \cdot X_6 + k_6 \cdot X_5 + k_{10} \cdot X_4$$

$$Y_{13} = k_3 \cdot X_6 + k_7 \cdot X_5 + k_{11} \cdot X_4$$

$$Y_{14} = k_0 \cdot X_7 + k_4 \cdot X_6 + k_8 \cdot X_5 \quad \dots (4)$$

【0034】として得ることができる。

【0035】続いてこのようにして得られた図8(D)及び図9(D)に示すような54[MHz]のクロック周波数のデータから、図8(E)に示すように18[MHz]のクロック周波数で $i=4m-2$ 、 $i=4m-1$ 、 $i=4m$ 又は $i=4m-3$ の4個置きのデータを取り出すことにより、図9(E)に示すように入力データの周波数特性を最大限維持した18[MHz]のクロック周波数の出力データを得ることができる。

【0036】ここで、トランスバーサルフィルタとして

$$Y = k_1 \cdot X_4 + k_2 (z^{-1} \cdot X_3)$$

$$+ k_3 (z^{-2} \cdot X_2) + k_4 (z^{-3} \cdot X_1) \quad \dots\dots (5)$$

【0038】でなる出力データ $Y$ を生成するようになっている。

【0039】また図11に示すように、レジスタ後置型LPF21は、入力データ $\{X_n\}$ に対して、乗算器H B1、HB2、HB3、HB4によりフィルタ係数 $\{k_1$ 、 $k_2$ 、 $k_3$ 、 $k_4\}$ を乗算してから、その乗算結果を選

は、レジスタ前置型及びレジスタ後置型の2種類の構成のものがある。図10に示すように、レジスタ前置型LPF20は、入力データ $\{X_n\}$ に対して、シフトレジスタを構成する遅延回路RA1、RA2、RA3により1クロックに相当する単位時間 $\{z^{-1}\}$ の時間差を与えてから、乗算器HA1、HA2、HA3、HA4によりフィルタ係数 $\{k_1$ 、 $k_2$ 、 $k_3$ 、 $k_4\}$ を乗算して、その乗算結果を加算器PAにより加算合成することによつて、次式

【0037】

【数5】

遅延回路RB1、RB2、RB3により単位時間 $\{z^{-1}\}$ の時間差を与えて加算器PB1、PB2、PB3により加算合成することによつて、次式

【0040】

【数6】

$$Y = k_1 \cdot X_1 + (k_2 \cdot X_2) z^{-1} + (k_3 \cdot X_2) z^{-2} + (k_4 \cdot X_1) z^{-3} \dots\dots (6)$$

【0041】でなる出力データYを生成するようになされている。

【0042】

【発明が解決しようとする課題】ところで、デジタルビデオカメラ1において、上述したレジスタ前置型又はレジスタ後置型のローパスフィルタ(LPF)を設ける場合には、当該ローパスフィルタが複雑な構成でかつゲート規模が比較的大きいため、従来は専用の変換回路のゲートアレイを設けて内部に組み込むようになされている。

【0043】図5との対応部分に同一符号を付して示す図12において、デジタルビデオカメラ30では、従来のデジタルビデオカメラ1におけるデジタル信号処理部10、システムコントローラ11及びTG13が総合化デジタル信号処理部31として1チップ化されている。このようにデジタル部分を1チップ化したことにより、従来のデジタルビデオカメラ1よりも小型化したデジタルビデオカメラ30を実現し得る。

【0044】ところが、これらデジタルビデオカメラ1及び30のような固定式のハードウェア処理でなる構成の専用チップでは、多種多様なカラーテレビジョン方式のフォーマットに対応させることが困難となる問題があった。

【0045】例えばユーザが上述のようなデジタルビデオカメラ1及び30を購入した後に、当該デジタルビデオカメラ1及び30で撮像して得られるビデオ信号の信号フォーマットが、ディスプレイやビデオ装置等における信号フォーマットと異なる場合には、ユーザがデジタルビデオカメラ1及び30内部を調整して所望の信号フォーマットに設定変換することが非常に困難となる問題があった。

【0046】このためデジタルビデオカメラ1及び30の接続対象となるディスプレイやビデオ装置等との互換性が得られなくなり、ユーザにとって非常に使い勝手が悪いという問題があった。

【0047】さらにデジタルビデオカメラ1及び30においては、上述したレジスタ前置型又はレジスタ後置型のローパスフィルタ(LPF)のいずれか一方が固定して設けられており、レジスタ前置型とレジスタ後置型とでは、入力されるビデオ信号に基づく画像のエッジがシユープ過ぎ又はソフト過ぎるといった画質の偏りが生じるおそれがあった。

【0048】しかし、ユーザは所望する画像のエッジのシャープさの度合いに応じて、ローパスフィルタをレジスタ前置型とレジスタ後置型とで選択切り換えることができなかった。

【0049】本発明は以上の点を考慮してなされたもので、ビデオ信号を所望のクロック周波数に変換し得ると共に、当該ビデオ信号に基づく画像について精度良く画質を調整し得るレート変換装置及び撮像装置を提案しようとするものである。

【0050】

【課題を解決するための手段】かかる課題を解決するため本発明においては、デジタル信号のクロック周波数を所定のクロック周波数にレート変換するレート変換装置において、デジタル信号の入力側に第1のレジスタ群が設けられたレジスタ前置型フィルタ及び又は、デジタル信号の出力側に第1のレジスタ群と同数でなる第2のレジスタ群が設けられたレジスタ後置型フィルタと、デジタル信号をレジスタ前置型フィルタ又はレジスタ後置型フィルタのうちいずれか一方に入力させる入力手段とを備え、レジスタ前置型フィルタ、レジスタ後置型フィルタ及び入力手段をフィールドプログラマブルゲートアレイとして構成することにより、入力手段は外部から入力される所定のプログラムに基づいて、レジスタ前置型フィルタ又はレジスタ後置型フィルタにデジタル信号を入力するようにする。

【0051】また本発明においては、撮像対象を撮像する撮像手段と、撮像手段による撮像結果に基づくビデオ信号のクロック周波数を所定のクロック周波数にレート変換すると共に、フィールドプログラマブルゲートアレイとして構成されるレート変換手段とを備え、レート変換手段は、ビデオ信号の入力側に第1のレジスタ群が設けられたレジスタ前置型フィルタと、ビデオ信号の出力側に第1のレジスタ群と同数でなる第2のレジスタ群が設けられたレジスタ後置型フィルタと、ビデオ信号をレジスタ前置型フィルタ又はレジスタ後置型フィルタのうちいずれか一方に入力させる入力手段とを有し、入力手段は外部から入力される所定のプログラムに基づいて、レジスタ前置型フィルタ又はレジスタ後置型フィルタにビデオ信号を入力するようにする。

【0052】このように撮像装置内のレート変換手段をフィールドプログラマブルゲートアレイとして構成すると共に、当該フィールドプログラマブルゲートアレイに対して外部から入力される所定のプログラムに基づいて、ビデオ信号に基づく画像のエッジのシャープさの度合いを調整するようにしたことにより、ビデオ信号を所望のクロック周波数に変換し得ると共に、当該ビデオ信号に基づく画像について精度良く画質を調整することができる。

【0053】

【発明の実施の形態】以下図面について、本発明の一実

施例を詳述する。

【0054】図12との対応部分に同一符号を付して示す図1において、デジタルビデオカメラ40は、従来のデジタルビデオカメラ30と異なり、高解像度用のCCD撮像素子が内蔵されたイメージャ41が設けられると共に、従来のデジタル信号処理部14（図12）の信号の入出力端にそれぞれレート変換部42、43及び44が追加して設けられたデジタル信号処理部45が設けられている。

【0055】さらにデジタル信号処理部45は、システムコントローラ11及びTG13と一体となつてフィールド・プログラマブル・ゲートアレイ（以下、FPGAと呼ぶ）46として構成されている。すなわちFPGA46は、従来の総合化デジタル信号処理部31（図12）のような固定式のハードウェア処理でなる構成の専用チップと異なり、プログラマブル処理を行い得るようになされている。

【0056】一般にFPGAは、複数個の比較的大きな回路ブロックと配線ブロックをチップ上に規則的に配列した構成でなり、回路ブロック及び配線ブロックの内部には回路の電氣的な接続又は非接続をプログラムし得るデバイスが多数配置されている。かくしてユーザはこれらのデバイスをプログラムすることによつてブロック内及びブロック間を利用現場（フィールド）で自由に回路設計することができる。

【0057】このFPGA46には、パソコンI/Fバツファ47を介して外部のパーソナルコンピュータ装置（図示せず）と接続されている。これによりユーザがパーソナルコンピュータ装置を操作することによつて送出されるプログラム信号S13が、パソコンI/Fバツファ47を介してFPGA46に与えられ、当該FPGA46の内容がプログラム信号S13に基づいてプログラミングされる。さらにこのプログラミングの結果はメモリ48に格納され、システムコントローラ11の制御に応じて読み出し得るようになされている。

【0058】またFPGA46とアナログ信号処理部4との間には、サンプリングA/D変換部49が設けられ、当該サンプリングA/D変換部49では、イメージャ41内の高解像度用のCCD撮像素子による最大動作クロック周波数74.25〔MHz〕に対応してサンプリング周波数74.25〔MHz〕が予め設定されている。

【0059】これにより被写体の撮像光LAをレンズブロック部2を介してイメージャ41によつて光電変換して得られる撮像出力信号S10は、アナログ信号処理部4を介して種々のアナログ処理された後、サンプリングA/D変換部49において、サンプリング周波数74.25〔MHz〕でサンプリングされ、撮像出力信号S11としてFPGA46内のデジタル信号処理部45に与えられる。

【0060】デジタル信号処理部45に入力された撮

像出力信号S11は、レート変換部42においてクロック周波数18〔MHz〕（すなわちD・VTR用のクロック周波数に相当）に変換される。以下にこのレート変換部42の構成及び動作について説明する。

【0061】まず図2において、レート変換部42の内部基本処理構成について示す。このレート変換部42には、入力側からプログラマブルレジスタ52、プログラマブル係数時変型デジタルLPF51及びプログラマブルレジスタ53が順次出力側に配列されている。このプログラマブルレジスタ52及びプログラマブル係数時変型デジタルLPF51は、図10に示すレジスタ前置型LPF20を構成すると共に、プログラマブル係数時変型デジタルLPF51及びプログラマブルレジスタ53は、図11に示すレジスタ後置型LPF21を構成する。

【0062】またレート変換部42内に設けられたプログラマブルタイミング制御回路50には、外部からパソコンI/Fバツファ46を介して入力クロックCLK（ $f_c$ ）及び出力クロックCLK（ $f_d$ ）が入力されるようになされている。このプログラマブルタイミング制御回路50は、入出力クロックの各サンプリング周波数 $f_c$ 及び $f_d$ に基づいて、最小公倍数 $f_0 = \text{LCM}(f_c, f_d)$ を算出し、これを必要な再オーバーサンプリング周波数 $f_0$ とする。この場合、再オーバーサンプリング倍率 $K_0 = f_0 / f_c$ であり、間引き倍率 $K_s = f_d / f_0$ 及び変換倍率 $K = K_0 \cdot K_s = f_d / f_c$ である。再オーバーサンプリング時には、0挿入箇所は計算不要のためにその箇所のLPF係数を省略し、LPFクロックを出力クロックに同期させて処理する場合には、 $K_0$ 回の係数切り換え計算の繰返しにて変換値を出力できる（係数時変処理）いわゆる $K_0$ 回の係数切り換えが巡回するLPFとなる。

【0063】因みにレート変換部42は、アツプレート変換のときには、レジスタによるデータ保持を伴う間欠データ送り（その回数は一回の巡回の間に $K_0 - K_s$ である）を行うように制御し、ダウンレート変換のときにはデータを早送りするように制御するようになされている。

【0064】かくしてプログラマブルタイミング制御回路50は、プログラマブル係数時変型デジタルLPF51に制御信号 $f_g$ を送出すると共に、選択的にプログラマブルレジスタ52又はプログラマブルレジスタ53にそれぞれ制御信号 $f_a$ 又は $f_b$ を送出する。これによりレート変換部42は、レジスタ前置型LPF20（図10）又はレジスタ後置型LPF21（図11）に切り換えられる。

【0065】ところで、レート変換部42においては、レジスタ前置型LPF20（図10）又はレジスタ後置型LPF21（図11）のどちらを選択するかによつて、入力される撮像出力信号S11に基づく画像のエツ



ジのシャープさに差異が生じてしまう。すなわちLPFのタップ数が比較的多い場合には、画像のエッジに振動が生じるため当該画像にエッジ部分が比較的小さいときには問題ないが、エッジ部分が比較的多いときには全体として画質がシャープ過ぎるという問題がある。これに対してLPFのタップ数が比較的小さい場合には、画像にエッジ部分が比較的多いときには画質が良く見えるが、エッジ部分が比較的小さい場合には画質がソフト過ぎるという問題がある。

【0066】従ってユーザは画像のエッジ部分の数が比較的多いときには、タップ数が比較的小さいレジスタ前置型LPFを選択し、画像のエッジ部分の数が比較的小さいときには、タップ数が比較的小さいレジスタ後置型LPFを選択し得れば、画像のエッジ部分の数にかかわらず当該画像にシユープ過ぎ又はソフト過ぎるといった画質の偏りが生じるのを防止することができる。

【0067】具体的には、外部のパーソナルコンピュータ等からFPGA46にダウンロードされるプログラムとして、レート変換部42において撮像出力信号S11の画像のエッジ処理を行う方式（以下、これを適応方式と呼ぶ）と当該エッジ処理を行わない方式（以下、これを非適応方式と呼ぶ）の2種類がある。

【0068】図3（A）に非適応方式としての通常の理想的LPF60を示す。この理想的LPF60はタップ数が所定の数に予め設定されている。このため撮像出力信号S11が理想的LPF60を介して撮像出力信号S12にレート変換されたとき、当該撮像出力信号S12の画像に画質の偏りが生じて回避することができない。なお理想的LPF60におけるレジスタ前置型又はレジスタ後置型の選択は、タップ数によつて自動的に決定される。

【0069】一方、図3（B）に適用方式として、理想的LPF60及び線型補間LPF61を示す。この場合、理想的LPF60及び線型補間LPF61は並列的に設けられ、入力される撮像出力信号S11に基づいてエッジ検出制御部62が後段のスイッチヤ63を選択切り換えることによつて、線型補間LPF61又は理想的LPF60のいずれか一方を後段の回路と接続するようになされている。この理想的LPF60は予めタップ数が所定数に設定されると共に、線型補間LPF61もタップ数が2個に設定されている。

【0070】このようにレート変換部42に入力された撮像出力信号S11は、クロック周波数74.25〔MHz〕からクロック周波数18〔MHz〕にダウンレート変換された後、撮像出力信号S12としてカメラ信号補正処理部14に供給される。

【0071】このカメラ信号補正処理部14及びビデオエンコーダ15を順次介してレート変換部43及び44に入力された撮像出力信号S12は、レート変換部43及び44においてそれぞれ上述したアップレート変換又

はダウンレート変換のうちいずれか一方の変換処理が行われる。この場合、アップレート変換又はダウンレート変換のいずれの処理がなされるかは、出力側に接続された機器内部のデジタル映像信号処理回路の最大動作クロック周波数に応じて決定される。

【0072】このようにレート変換部43においてレート変換された信号は、デジタルI/F16を介してデジタル出力信号S14として外部出力される。またレート変換部43においてレート変換された信号は、サンプリングD/A変換部55において所定のサンプリング周波数でサンプリングされた後、LPF18を介してアナログ出力信号S15として外部出力される。

【0073】以上の構成において、ユーザが外部のパーソナルコンピュータ（図示せず）を用いてFPGA46のレート変換についてのプログラムを設定する場合、パーソナルコンピュータは図4に示すプログラミング処理手順SP0に入る。パーソナルコンピュータは、ステップSP1に移つて、FPGA46のレート変換部42において撮像出力信号S11の画像のエッジ処理を行う適応方式又は当該エッジ処理を行わない非適応方式のいずれか一方をユーザの操作に基づいて選択入力する。

【0074】続いてパーソナルコンピュータは、ステップSP2に移つて、レート変換部42における入力信号と出力信号とのクロック周波数の変換比をユーザの操作に基づいて入力した後、ステップSP3に移つてレート変換部42内のLPFのタップ数を設定入力する。この後、パーソナルコンピュータはステップSP4において、設定したタップ数を表すタップ入力データが比較的小さいタップ数を表すか否かを判断する。例えばタップ1～4までは比較的タップ数が少なく、タップ5以上であれば比較的タップ数が少ないことを表している。

【0075】このステップSP4において、肯定結果が得られたときには、パーソナルコンピュータはステップSP5に移つてレート変換部42としてレジスタ前置型LPFを選択してセットした後、ステップSP7に移る。これに対して否定結果が得られたときには、パーソナルコンピュータはステップSP6に移つてレート変換部42としてレジスタ後置型LPFを選択してセットした後、ステップSP7に移る。

【0076】パーソナルコンピュータはステップSP7において、レート変換部42に適用されたLPFの型（レジスタ前置型LPF又はレジスタ後置型LPFのいずれであるか）と、レート変換部42における入力信号と出力信号とのクロック周波数の変換比と、レート変換部42内のLPFのタップ数とに基づいて、当該LPFの各タップの乗算器に割り当てられる係数をそれぞれ決定した後、ステップSP8に移る。

【0077】このステップSP8において、パーソナルコンピュータはFPGA46のレート変換部42が適応方式であるか否かを判断し、肯定結果が得られたときに

は、ステップSP9に移って適応型でFPGA46をプログラミングした後、ステップSP11に移って当該プログラミング処理手順を終了する。これに対してステップSP8において否定結果が得られたときには、ステップSP10に移って非適応型でFPGA46をプログラミングした後、ステップSP11に移って当該プログラミング処理手順を終了する。

【0078】このようにしてデジタルビデオカメラ40を多種多様なカラーテレビジョン方式のフォーマットに対応させて、当該デジタルビデオカメラ40の接続対象となるディスプレイやビデオ装置等と互換性をとることができ、この結果ユーザにとつて非常に使い勝手を良くすることができる。さらにデジタルビデオカメラ40において、ビデオ信号に基づく画像のエッジのシャープさの度合いをユーザが所望する度合いに調整することができる。

【0079】以上の構成によれば、デジタルビデオカメラ40のデジタル信号処理部分をFPGA46として構成すると共に、当該FPGA46に対して外部のパーソナルコンピュータから所望のプログラムをダウンロードして、ビデオ信号に基づく画像のエッジのシャープさの度合いを調整するようにしたことにより、ビデオ信号を所望のクロック周波数に変換し得ると共に、当該ビデオ信号に基づく画像について精度良く画質を調整することができる。

【0080】なお上述の実施例においては、デジタルビデオカメラ40内のFPGA46におけるレート変換部42に、レジスタ前置型LPF20、レジスタ後置型LPF22及び入力手段としてのプログラマブルタイミング制御回路50を設けた場合について述べたが、本発明はこれに限らず、レート変換部43及び44においても上述した構成を設けてプログラマブルにアップレート変換又はダウンレート変換させるようにしても良い。

【0081】また上述の実施例においては、デジタルビデオカメラ40の外部に設けられたパーソナルコンピュータ（図示せず）からユーザの操作に基づく所定のプログラムをFPGA46にダウンロードさせるようにした場合について述べたが、本発明はこれに限らず、FPGA46に設けたメモリ48に予め上述のプログラムを格納しておき、必要に応じて当該プログラムを読み出すようにしても良い。

【0082】さらに上述の実施例においては、デジタルビデオカメラ40において、デジタル信号処理部分のみFPGA46として構成した場合について述べたが、本発明はこれに限らず、当該デジタル信号処理部分以外の他の回路等もFPGAに含むようにしても良い。

【0083】

【発明の効果】 上述のように本発明によれば、撮像装置

内のレート変換手段をフィールドプログラマブルゲートアレイとして構成すると共に、当該フィールドプログラマブルゲートアレイに対して外部から入力される所定のプログラムに基づいて、ビデオ信号に基づく画像のエッジのシャープさの度合いを調整するようにしたことにより、ビデオ信号を所望のクロック周波数に変換し得ると共に、当該ビデオ信号に基づく画像について精度良く画質を調整することができる。

【図面の簡単な説明】

【図1】 本発明によるデジタルビデオカメラの構成の一実施例を示すブロック図である。

【図2】 実施例によるFPGA式レート変換内部の基本構成を示すブロック図である。

【図3】 実施例による適応型又は非適応型のLPFによるエッジ処理の説明に供する略線図である。

【図4】 実施例によるFPGAプログラミング処理手順を示すフローチャートである。

【図5】 従来のデジタルビデオカメラの構成を示すブロック図である。

【図6】 従来の4:3ダウンレート変換の動作説明に供する信号波形図である。

【図7】 従来の4:3ダウンレート変換の動作説明に供する信号波形図である。

【図8】 従来の3:4アップレート変換の動作説明に供する信号波形図である。

【図9】 従来の3:4アップレート変換の動作説明に供する信号波形図である。

【図10】 従来のレジスタ前置型LPFの構成を示すブロック図である。

【図11】 従来のレジスタ後置型LPFの構成を示すブロック図である。

【図12】 従来のデジタルビデオカメラの構成を示すブロック図である。

【符号の説明】

1、30、40……デジタルビデオカメラ、2……レンズブロック部、3、41……イメージャ、4……アナログ信号処理部、10、45……デジタル信号処理部、14……カメラ信号補正処理部、15……ビデオエンコーダ、20……レジスタ前置型LPF、21……レジスタ後置型LPF、42、43、44……レート変換部、46……FPGA（フィールドプログラミングゲートアレイ）、47……パソコンI/Fバツファ、48……メモリ、49……サンプリングA/D変換部、50……プログラマブルタイミング制御回路、51……プログラマブル係数時変型デジタルLPF、52、53……プログラマブルレジスタ、55……サンプリングD/A変換部、60……理想的LPF、61……線型補間LPF、62……エッジ検出制御部。

【図1】

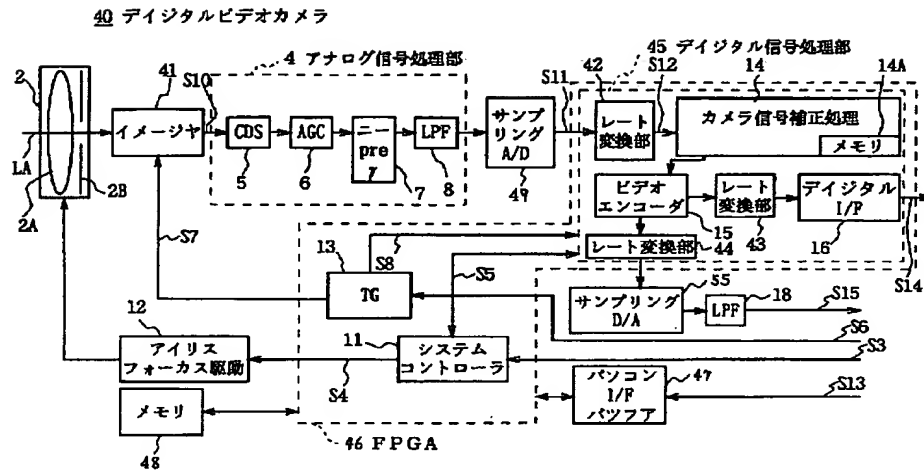


図1 実施例によるデジタルビデオカメラの構成

【図2】

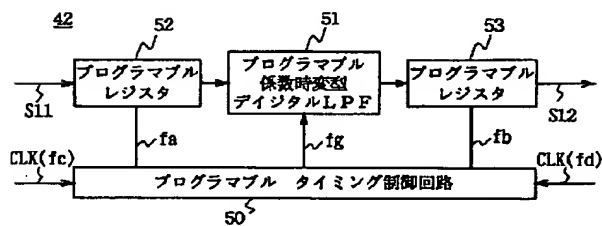


図2 FPGA式レート変換内部基本処理構成

【図3】

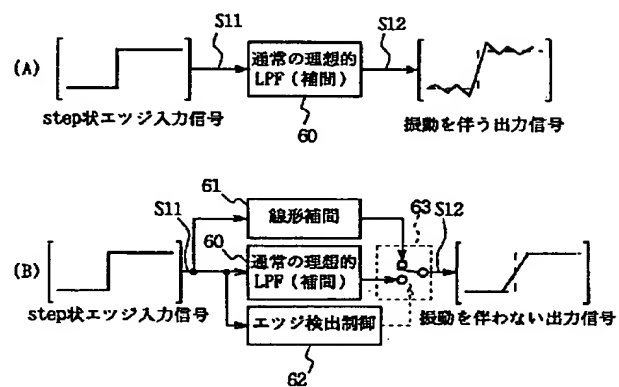


図3 適応/非適応型LPF

【図10】

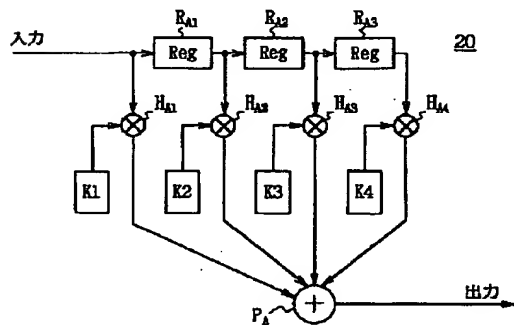


図10 従来のレジスタ前置型LPFの構成

【図11】

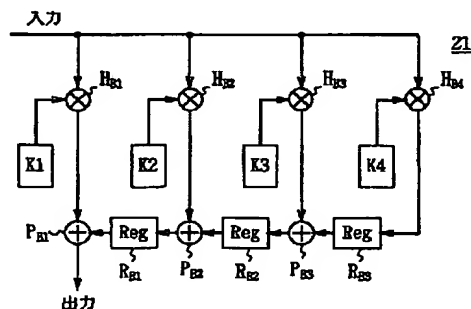


図11 従来のレジスタ後置型LPFの構成

【図4】

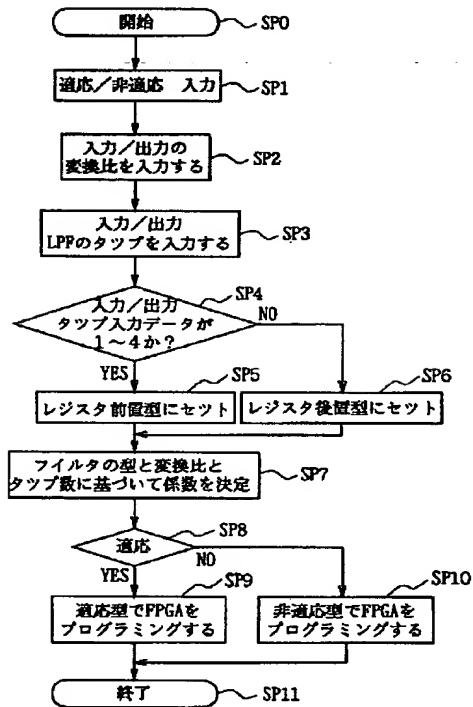


図4 FPGAプログラミング処理手順

【図6】

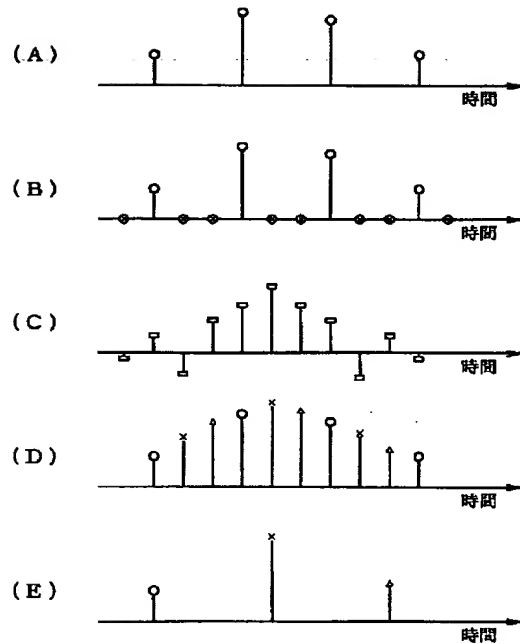


図6 従来の4:3ダウンレート変換部の動作原理(1)

【図5】

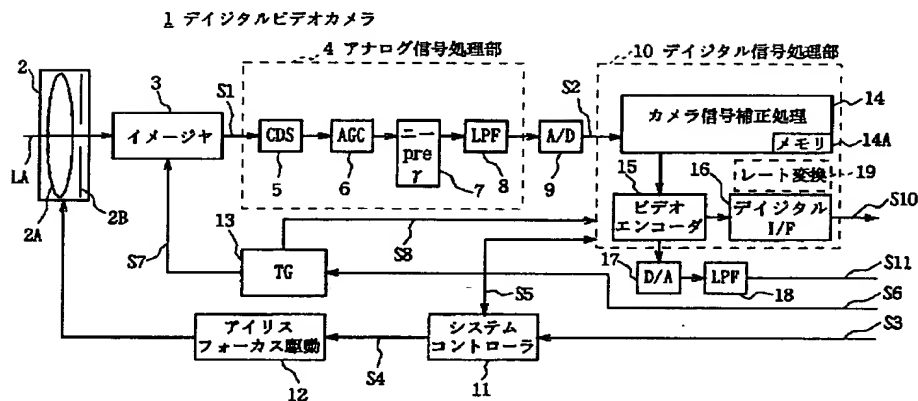


図5 従来のデジタルビデオカメラの構成(1)

【図 7】

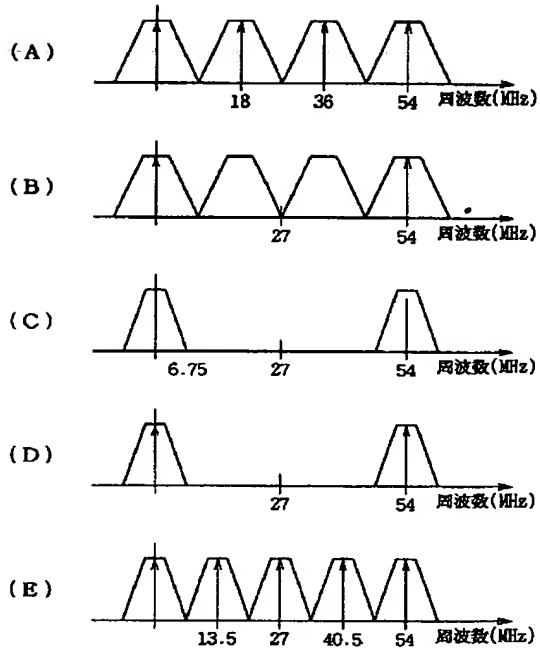


図 7 従来の 4 : 3 ダウンレート変換部の動作原理 (2)

【図 8】

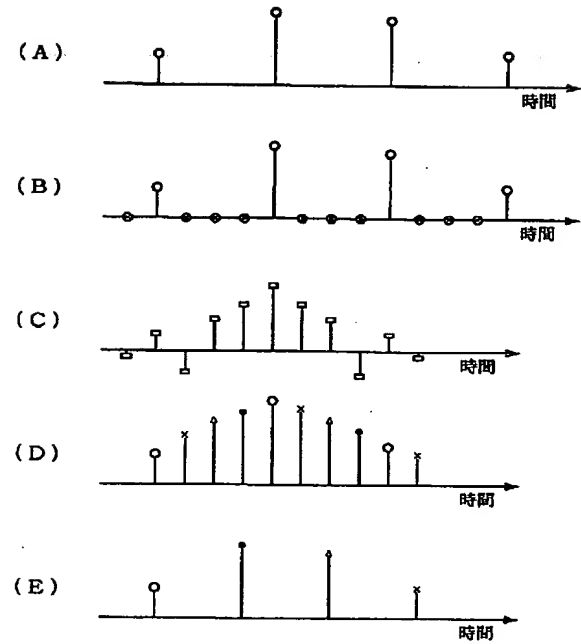


図 8 従来の 3 : 4 アップレート変換部の動作原理 (1)

【図 9】

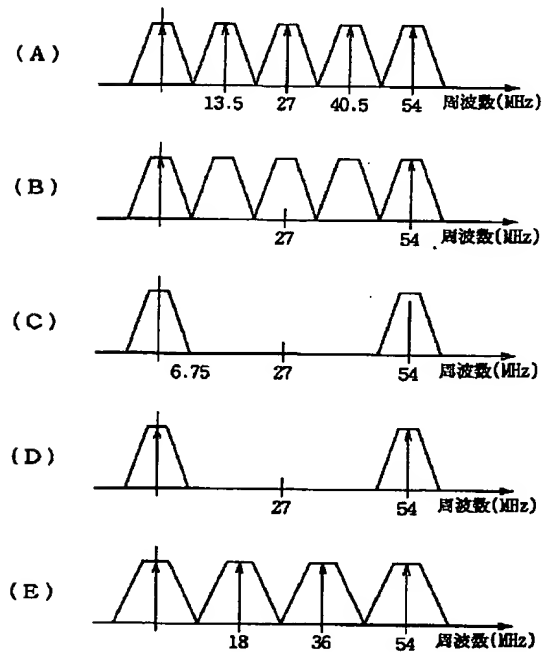


図 9 従来の 3 : 4 アップレート変換部の動作原理 (2)

【図12】

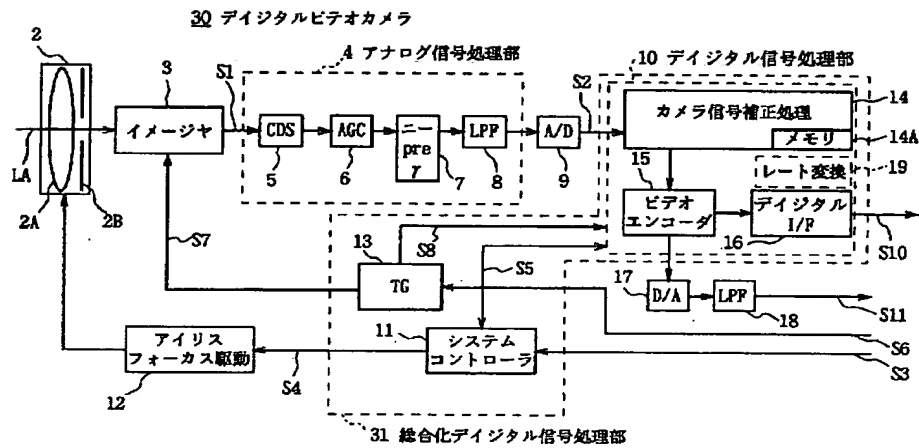


図12 従来のデジタルビデオカメラの構成(2)